

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-210809

(P2001-210809A)

(43) 公開日 平成13年8月3日 (2001.8.3)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)	
H 0 1 L 27/115		H 0 1 L 27/10	4 8 1	5 F 0 0 1
27/10	4 8 1		4 3 4	5 F 0 8 3
21/8247		29/78	3 7 1	5 F 1 0 1
29/788				
29/792				

審査請求 未請求 請求項の数3 O L (全 10 頁)

(21) 出願番号 特願2000-20289(P2000-20289)

(22) 出願日 平成12年1月28日 (2000.1.28)

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 宮脇 聡

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

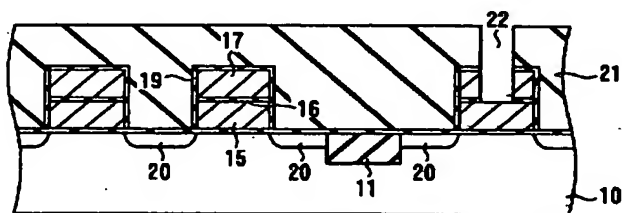
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 製造工程数を少なくすることにより製造コストを削減し歩留まりを向上できると共に、生産効率を向上できる半導体装置の製造方法を提供すること。

【解決手段】 同一の工程によりメモリセル領域12と周辺回路領域13に2層ゲート構造のゲート電極を形成し、全面に層間絶縁膜21を形成した後で、周辺回路領域13のゲート電極のFG層15に達するコンタクトホール22を形成することでCG層17とFG・CG間絶縁膜16とを除去している。この際のエッチングマスクはコンタクトホール22を形成する際に用いたエッチングマスクをそのまま流用することを特徴としている。



1

【特許請求の範囲】

【請求項1】 半導体基板のメモリセル領域と周辺回路領域上に第1ゲート絶縁膜を形成する工程と、
前記第1ゲート絶縁膜上に第1ゲート電極層を形成する工程と、
前記第1ゲート電極層上に第2ゲート絶縁膜を形成する工程と、
前記第2ゲート絶縁膜上に第2ゲート電極層を形成する工程と、
前記第1、第2ゲート絶縁膜及び第1、第2ゲート電極層を所望のパターンにエッチングして多層ゲート構造のゲート電極を形成する工程と、
前記半導体基板上及び前記ゲート電極上に層間絶縁膜を形成する工程と、
前記周辺回路領域の前記ゲート電極上に位置する層間絶縁膜、前記第2ゲート電極層及び前記第2ゲート絶縁膜をエッチングし、前記第1ゲート電極層に達するコンタクトホールを形成することにより、前記第1ゲート電極層を露出させる工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記層間絶縁膜、前記第2ゲート電極層、及び前記第2ゲート絶縁膜をエッチングする工程は、単一のマスク工程により行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記層間絶縁膜、前記第2ゲート電極層、及び前記第2ゲート絶縁膜をエッチングする工程は、エッチングガスを変えつつ連続して行うことを特徴とする請求項1または2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関するもので、特に不揮発性半導体メモリにおいて、1層ゲート構造及び2層ゲート構造を有するトランジスタが同一チップ内に形成される際のゲート電極の形成方法に係る。

【0002】

【従来の技術】近年、EPROM(Erasable and Programmable Read Only Memory)を始め、2層ゲート構造を有する不揮発性半導体メモリの研究が盛んに行われている。これらの不揮発性半導体メモリの多くは、情報を記憶するためのセルトランジスタのゲート電極が2層ゲート(Stacked Gate)構造であるのに対して、その周辺回路は従来同様1層ゲート構造のゲート電極を有するMOSトランジスタで形成されている。

【0003】従来の不揮発性半導体メモリの第1の製造方法について、EEPROM(Electrically Erasable and Programmable Read Only Memory)を例にとって図10乃至図20を用いて説明する。図10乃至図20はEEPROMの製造工程の断面図を順次示している。

【0004】まず図10に示すように、シリコン基板3

2

0に素子分離領域31を形成して、メモリセル領域32と周辺回路領域33を分離した後、シリコン基板30上にゲート絶縁膜34を形成する。そしてこのゲート絶縁膜34上にフローティングゲート(FG:Floating Gate)層35を形成し、引き続き、このFG層35上にFG・コントロールゲート(CG:Control Gate)間絶縁膜36を形成する。その後、FG・CG間絶縁膜36上にレジスト38-1を塗布し、周辺回路領域33のFG層35及びFG・CG間絶縁膜36を除去するために写真蝕刻工程(PEP:Photo Engraving Process)により図示するようにパターニングする。

【0005】次に図11のように、パターニングされたレジスト38-1をマスクに用いて、RIE(Reactive Ion Etching)法やCDE(Chemical Dry Etching)法、ウェットエッチング法等により、周辺回路領域33のFG層35及びFG・CG間絶縁膜36を除去した後、残存するレジスト38-1を剥離する。

【0006】そして図12に示すように、ゲート絶縁膜34上及びFG・CG間絶縁膜36上にCG層37を形成した後、再度レジスト38-2を塗布し、メモリセル領域32にゲート電極を形成するためにPEPにより図13のようにパターニングする。

【0007】引き続き図14のように、パターニングされたレジスト38-2をマスクに用いて、RIE法等の異方性エッチングによりFG層35、FG・CG間絶縁膜36、CG層37を除去する。そして残存するレジスト38-2を剥離して、メモリセル領域32にセルトランジスタのゲート電極を形成する。

【0008】次に、ゲート絶縁膜34上及びCG層37上に再度レジスト38-3を塗布し、周辺回路領域33にゲート電極を形成するためにPEPにより図15のようにパターニングする。

【0009】そして図16のように、パターニングされたレジスト38-3をマスクに用いて、RIE法等により、周辺回路領域33のCG層37を除去し、また残存するレジスト38-3を剥離して、周辺回路領域33にトランジスタのゲート電極を形成する。

【0010】その後図17のように、メモリセル領域32及び周辺回路領域33のゲート電極を覆う絶縁膜39を形成する。そしてイオン注入によりシリコン基板30中に不純物を導入して、ソース、ドレイン領域となる不純物拡散層40を形成する。

【0011】次にゲート絶縁膜34上及び絶縁膜39上に層間絶縁膜41を堆積形成した後、レジスト38-4を再度塗布し、周辺回路領域33に形成されたトランジスタのゲート電極とコンタクトを取るコンタクトホールを形成するために、PEPにより図18のようにパターニングする。

【0012】そして、パターニングされたレジスト38-4をマスクに用いて、RIE法等により層間絶縁膜4

3

1及び絶縁膜39を除去する。その後、残存するレジスト38-4を剥離して、図19のようなコンタクトホール42を形成し、このコンタクトホールを金属により埋め込むことでコンタクトプラグ43を形成して図20の構造を得る。

【0013】その後は周知の技術により金属配線層や素子保護層等を形成し、外部と接続するためのボンディングパッドを形成して半導体装置を完成する。

【0014】以上のような従来の半導体装置の製造方法は、メモリセル領域32のセルトランジスタと周辺回路領域33のトランジスタのゲート電極とをそれぞれ別個の工程にて形成するため工程数が多いという問題があり、これは製造コストの上昇と製造歩留まりの低下の原因となっていた。

【0015】そのため、上述の方法より工程数を減らした従来の半導体装置の第2の製造方法について図21乃至図29を用いて説明する。図21乃至図29はEEPROMの製造工程の断面図を順次示している。

【0016】まず図21に示すように、シリコン基板30に素子分離領域31を形成して、メモリセル領域32と周辺回路領域33を分離した後、シリコン基板30上にゲート絶縁膜34、FG層35、FG・CG間絶縁膜36、CG層37を順次形成する。

【0017】その後、CG層37上にレジスト38-1を塗布し、メモリセル領域32及び周辺回路領域33にトランジスタのゲート電極を形成するためにPEPにより図22のようにパターンニングする。

【0018】引き続き図23のように、パターンニングされたレジスト38-1をマスクに用いて、RIE法等によりFG層35、FG・CG間絶縁膜36、CG層37を除去する。そして残存するレジスト38-1を剥離して、2層ゲート構造のゲート電極を形成する。

【0019】次に、ゲート絶縁膜34上及びCG層37上に再度レジスト38-2を塗布し、周辺回路領域33に1層ゲート構造のゲート電極を形成するためにPEPにより図24のようにパターンニングする。

【0020】そして図25のように、パターンニングされたレジスト38-2をマスクに用いて、RIE法等によりCG層37及びFG・CG間絶縁膜36を除去する。その後、残存するレジスト38-2を除去して、周辺回路領域33に1層ゲート構造のゲート電極を形成する。

【0021】その後図26に示すように、メモリセル領域32及び周辺回路領域33のゲート電極を覆う絶縁膜39を形成し、イオン注入によりシリコン基板30中に不純物を導入して、ソース、ドレイン領域となる不純物拡散層40を形成する。

【0022】次に、ゲート絶縁膜34上及び絶縁膜39上に層間絶縁膜41を堆積形成した後、レジスト38-3を塗布し、周辺回路領域33に形成されたトランジスタのゲート電極とコンタクトを取るコンタクトホールを

4

形成するために、PEPにより図27のようにパターンニングする。

【0023】そして、パターンニングされたレジスト38-3をマスクに用いて、RIE法等により層間絶縁膜41及び絶縁膜39を除去した後、残存するレジスト38-3を剥離して、図28のようなコンタクトホール42を形成する。このコンタクトホール42を金属により埋め込み、コンタクトプラグ43を形成して図29の構造を得る。

【0024】その後は第1の製造方法で説明したように、金属配線層や素子保護層、そしてボンディングパッドを形成して半導体装置を完成する。

【0025】しかし、上述の半導体装置の第2の製造方法では、周辺回路領域33に1層ゲート構造のゲート電極を形成するために、CG層37の一部をPEPとエッチングにより除去している。そのため、コンタクトホールを形成するためのPEPにおいて、コンタクトホール42はFG層35の露出された領域に配置しなければならない、コンタクトホールパターンの合わせずれのマージンが少ない。この合わせずれを考慮して確実にコンタクトを取れるように設計を行わなければならないため、半導体装置の面積が増大し、生産効率の悪化を招くという問題があった。

【0026】

【発明が解決しようとする課題】上記のように、従来の半導体装置の製造方法はメモリセル領域と周辺回路領域のトランジスタのゲート電極をそれぞれ別個の工程にて形成するため工程数が多い。そのため、製造コストが上昇し、製造歩留まりが低下するという問題があった。また、製造工程数を減らした従来の半導体装置の製造方法は、コンタクトホールを形成するためのPEPにおいて、コンタクトホールパターンの合わせずれのマージンが少なくなってしまう。この合わせずれを考慮に入れて設計を行う必要があるため、半導体装置の面積が増大し、生産効率の悪化を招くという問題があった。

【0027】この発明は、上記事情に鑑みてなされたもので、その目的は、製造工程数を少なくすることにより製造コストを削減し歩留まりを向上できると共に、生産効率を向上できる半導体装置の製造方法を提供することにある。

【0028】

【課題を解決するための手段】この発明の請求項1に記載した半導体装置の製造方法は、半導体基板のメモリセル領域と周辺回路領域上に第1ゲート絶縁膜を形成する工程と、前記第1ゲート絶縁膜上に第1ゲート電極層を形成する工程と、前記第1ゲート電極層上に第2ゲート絶縁膜を形成する工程と、前記第2ゲート絶縁膜上に第2ゲート電極層を形成する工程と、前記第1、第2ゲート絶縁膜及び第1、第2ゲート電極層を所望のパターンにエッチングして多層ゲート構造のゲート電極を形成す

る工程と、前記半導体基板上及び前記ゲート電極上に層間絶縁膜を形成する工程と、前記周辺回路領域の前記ゲート電極上に位置する層間絶縁膜、前記第2ゲート電極層及び前記第2ゲート絶縁膜をエッチングし、前記第1ゲート電極層に達するコンタクトホールを形成することにより、前記第1ゲート電極層を露出させる工程とを具備することを特徴としている。

【0029】また、請求項2に記載したように、請求項1記載の半導体装置において、前記層間絶縁膜、前記第2ゲート電極層、及び前記第2ゲート絶縁膜をエッチングする工程は、単一のマスク工程により行うことを特徴としている。

【0030】更に、請求項3に記載したように、請求項1または2記載の半導体装置の製造方法において、前記層間絶縁膜、前記第2ゲート電極層、及び前記第2ゲート絶縁膜をエッチングする工程は、エッチングガスを変えつつ連続して行うことを特徴としている。

【0031】請求項1のような製造方法によれば、メモリセル領域と周辺回路領域の2つの領域に、同一の工程により2層ゲート構造のゲート電極を形成している。その後、全面に層間絶縁膜を形成した後、周辺回路領域において、2層ゲート構造のゲート電極の第1ゲート電極層に達するコンタクトホールを形成している。このコンタクトホールを金属などで埋め込み電極を形成することにより、実質的にゲート電極を1層ゲート構造にできる。そのため、従来に比べて製造工程を減らすことが出来るのでコストが抑えられ、また製造歩留まりを向上できる。

【0032】請求項2のように、層間絶縁膜を除去する際と第2ゲート電極及び第2ゲート絶縁膜をエッチングする工程は、単一のマスク工程により行うことで従来に比べてPEP工程を削減することが出来る。そのため、製造工程を減らすことが出来るのでコストが抑えられ、また製造歩留まりを向上できる。更に、マスクの合わせずれのマージンを従来より少なく見積もることが出来るので、チップ面積を縮小でき更に集積度を向上できるので、生産効率を向上できる。

【0033】請求項3のように、前記層間絶縁膜、前記第2ゲート電極層、及び前記第2ゲート絶縁膜をRIE法などによりエッチングする際には、エッチングガスを変えることで連続的にエッチングできるので工程が簡単であり、製造コストを削減出来、歩留まりを向上出来る。

【0034】

【発明の実施の形態】以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0035】この発明の一実施形態に係る半導体装置の製造方法について図1乃至図9を用いて説明する。図1乃至図9はEEPROMの製造工程の断面図を順次示し

ている。

【0036】まず図1に示すように、シリコン基板（半導体基板）10中に例えばSTI（Shallow Trench Isolation）技術等により素子分離領域11を形成し、シリコン基板10をメモリセル領域12と周辺回路領域13に分離する。そしてこのシリコン基板10上にSiO₂膜によるゲート絶縁膜（第1ゲート絶縁膜）14を熱酸化法等により形成する。このゲート絶縁膜14はSiO₂膜のままでもよいが、NH₃ガス等による窒化と酸化を行うことでオキシナイトライド膜としても良い。また、形成するトランジスタの特性によっては、メモリセル領域12と周辺回路領域13とで異なった膜厚のゲート絶縁膜14を形成してもかまわない。そしてゲート絶縁膜14上にCVD（Chemical Vapor Deposition）法等によりFG層（第1ゲート電極層）15を形成する。FG層15には、通常不純物の添加された多結晶シリコンやアモルファスシリコンが用いられる。このFG層15上にFG・CG間絶縁膜（第2ゲート絶縁膜）16をCVD法等により形成する。FG・CG間絶縁膜16は、単にSiO₂膜を用いても良いし、このSiO₂膜とSiN膜との積層膜（ONO膜、ON膜、NO膜）であっても良い。引き続き、このFG・CG間絶縁膜16上にCG層（第2ゲート電極層）17をCVD法等により形成する。CG層17は、多結晶シリコンやアモルファスシリコン、またはこれらと金属、金属シリサイド（Silicide）膜との積層膜である。勿論金属のみで形成してもかまわない。積層膜としては、多結晶シリコン膜またはアモルファスシリコン膜とそれらのシリサイド膜との構造が一般的に用いられ、この多結晶シリコン膜またはアモルファスシリコン膜上にTi膜を形成した後、熱処理によるシリサイダーションを行いTiSi₂を形成する。また、多結晶シリコン膜またはアモルファスシリコン膜上に、TiSi₂等の金属シリサイドをCVD法やスパッタリング法を用いて直接形成する方法もある。なお、金属にはTiに限らず、Co（Cobalt）等を用いてもかまわない。

【0037】次にCG層17上にレジスト18-1を塗布し、図2に示すように、PEPによりレジスト18-1をメモリセル領域12、周辺回路領域13に形成するトランジスタの所望のゲート電極パターンにパターンニングする。

【0038】そして図3のように、レジスト18-1をマスクにしてRIE法等の異方性のエッチングによりメモリセル領域12、周辺回路領域13に2層ゲート構造のゲート電極を形成した後、レジスト18-1を剥離する。なお、エッチングのマスクとしては、レジスト18-1に代えてFG層15、CG層17、FG・CG間絶縁膜16に対してエッチング選択比の高いパターン転写膜を用いてもよい。

【0039】その後図4に示すように、ゲート電極を覆

う絶縁膜19を熱酸化法やCVD法等により形成する。この絶縁膜19は、ゲート電極端でのリーク電流を抑制し、RIE法によるエッチングでゲート絶縁膜14が受けるダメージを回復させるために設けられ、この工程は後酸化工程、絶縁膜19は後酸化膜と称される。この後酸化工程の後、イオン注入により不純物をシリコン基板10内に導入することで、ソース、ドレイン領域となる不純物拡散層20を形成する。そして、導入した不純物を活性化させるためのアニール処理を施して、メモリセル領域12のセルトランジスタ及び周辺回路領域13のトランジスタを完成する。

【0040】次に図5に示すように、例えば段差被覆性の高いTEOS (Tetraethylorthosilicate; $\text{Si}(\text{OC}_2\text{H}_5)_4$)を用いた SiO_2 膜やBPSG (Boron Phosphorous Silicate Glass) 膜等による層間絶縁膜21を、CVD法等によりシリコン基板10上及びゲート電極上に形成し、CMP (Chemical Mechanical Polishing) 法等により平坦化する。

【0041】そして、この層間絶縁膜21上にレジスト18-2を塗布し、図6のように、PEPにより周辺回路領域13のトランジスタのゲート電極とコンタクトを取るコンタクトホール22のパターンにパターニングする。

【0042】このレジスト18-2をマスクにしてRIE法等の異方性のエッチングにより、図7のように周辺回路領域13のゲート電極上の層間絶縁膜21及び絶縁膜19を除去する。勿論、エッチングのマスクのためにパターン転写膜を形成し、それを用いてもよい。

【0043】そして図8に示すように、同一マスクにより周辺回路領域13のCG層17及びFG・CG間絶縁膜16をRIE法等のエッチングにより除去してコンタクトホール22を形成し、FG層15を露出させる。その後、レジスト18-2を剥離する。この工程により周辺回路領域13のトランジスタのゲート電極が1層ゲート構造に形成される。

【0044】この図7、図8のコンタクトホール22を形成する工程は通常RIE法によって行うが、エッチングすべき対象膜が酸化/窒化膜系と多結晶シリコン膜系の2種類あるため、被エッチング材料によってRIE法で用いるエッチング用のガスを切り替える必要がある。すなわち、まず酸化/窒化膜系の層間絶縁膜21と絶縁膜19のエッチングを行い、次に多結晶シリコン膜系のCG層17のエッチング、そして最後に酸化/窒化膜系のFG・CG間絶縁膜16をエッチングするのが一般的に考えられる。このように3回のエッチングを行う必要があるが、これらの工程は同じ装置内において、エッチングガスを変えるだけで行うことが出来る。勿論、異なる装置で各部材のエッチングを別個に行っても良い。

【0045】そして図9に示すようにコンタクトホール22内を、スパッタリング法などにより例えばW (Tungsten) 等の金属で埋め込みコンタクトプラグ23を形成

する。

【0046】その後は層間絶縁膜21上にAl膜等により金属配線層及びボンディングパッドを形成する。勿論、金属配線層及びボンディングパッドは信頼性を考慮してTiN膜等とAl膜との多層構造であっても良い。

【0047】そして、金属配線層、ボンディングパッド及び層間絶縁膜上にパッシベーション膜として、例えばプラズマCVD法により Si_3N_4 膜 (p-SiN) を形成する。この際、金属配線層の信頼性の向上のために、金属配線層とパッシベーション膜との間には熱CVDにより形成したPSG (Phosphorous Silicate Glass) 膜や、プラズマCVDにより形成した SiO_2 (p-SiO₂) 膜を介在させても良い。その後、パッシベーション膜上にこの半導体装置を保護するためのコーティング材を形成し、ボンディングパッド部上に開口を形成した後、マウント工程やパッケージへの封止工程を経て半導体装置を完成する。

【0048】上述のような半導体装置の製造方法によれば、同一の工程によりメモリセル領域12と周辺回路領域13に2層ゲート構造のゲート電極を形成している。そして、シリコン基板10上及びこのゲート電極上に層間絶縁膜21を形成した後で、周辺回路領域13のゲート電極にコンタクトするコンタクトホール22を形成している。その後、周辺回路領域13のゲート電極のCG層17とFG・CG間絶縁膜16とをエッチングにより除去しているが、この際のエッチングマスクはコンタクトホール22を形成する際に用いたエッチングマスクをそのまま流用できる。また、層間絶縁膜21もエッチングマスクとして利用することが出来る。この結果、従来に比べてPEP工程を削減することが出来る。そのため、製造工程を減らすことが出来るのでコストが抑えられ、また製造歩留まりを向上できる。

【0049】更に、コンタクトホール22の形成と、周辺回路領域13のゲート電極のCG層17とFG・CG間絶縁膜16を除去する工程とは同じエッチングマスクを使用できるので、マスクの合わせずれのマージンを従来より少なく見積もることが出来る。そのため、チップ面積を縮小でき更に集積度を向上できるので、生産効率を向上できる。

【0050】なお本実施形態はフラッシュEEPROMやNAND型EEPROM等のEEPROMやEPROM (Erasable and Programmable ROM) のみならず、2層ゲート構造と1層ゲート構造のトランジスタが同一チップ内に形成される全てのケースに適用でき、この発明の趣旨を逸脱しない範囲で適宜変更して実施することが出来る。

【0051】

【発明の効果】以上説明したように、この発明によれば、製造工程数を少なくすることにより製造コストを削減し歩留まりを向上できると共に、生産効率を向上でき

る半導体装置の製造方法を提供できる。

【図面の簡単な説明】

【図 1】この発明の一実施形態に係る半導体装置の製造方法について説明するためのもので、EEPROMの第 1 の製造工程の断面図。

【図 2】この発明の一実施形態に係る半導体装置の製造方法について説明するためのもので、EEPROMの第 2 の製造工程の断面図。

【図 3】この発明の一実施形態に係る半導体装置の製造方法について説明するためのもので、EEPROMの第 3 の製造工程の断面図。

【図 4】この発明の一実施形態に係る半導体装置の製造方法について説明するためのもので、EEPROMの第 4 の製造工程の断面図。

【図 5】この発明の一実施形態に係る半導体装置の製造方法について説明するためのもので、EEPROMの第 5 の製造工程の断面図。

【図 6】この発明の一実施形態に係る半導体装置の製造方法について説明するためのもので、EEPROMの第 6 の製造工程の断面図。

【図 7】この発明の一実施形態に係る半導体装置の製造方法について説明するためのもので、EEPROMの第 7 の製造工程の断面図。

【図 8】この発明の一実施形態に係る半導体装置の製造方法について説明するためのもので、EEPROMの第 8 の製造工程の断面図。

【図 9】この発明の一実施形態に係る半導体装置の製造方法について説明するためのもので、EEPROMの第 9 の製造工程の断面図。

【図 10】従来の半導体装置の第 1 の製造方法について説明するためのもので、EEPROMの第 1 の製造工程の断面図。

【図 11】従来の半導体装置の第 1 の製造方法について説明するためのもので、EEPROMの第 2 の製造工程の断面図。

【図 12】従来の半導体装置の第 1 の製造方法について説明するためのもので、EEPROMの第 3 の製造工程の断面図。

【図 13】従来の半導体装置の第 1 の製造方法について説明するためのもので、EEPROMの第 4 の製造工程の断面図。

【図 14】従来の半導体装置の第 1 の製造方法について説明するためのもので、EEPROMの第 5 の製造工程の断面図。

【図 15】従来の半導体装置の第 1 の製造方法について説明するためのもので、EEPROMの第 6 の製造工程の断面図。

【図 16】従来の半導体装置の第 1 の製造方法について説明するためのもので、EEPROMの第 7 の製造工程の断面図。

【図 17】従来の半導体装置の第 1 の製造方法について説明するためのもので、EEPROMの第 8 の製造工程の断面図。

【図 18】従来の半導体装置の第 1 の製造方法について説明するためのもので、EEPROMの第 9 の製造工程の断面図。

【図 19】従来の半導体装置の第 1 の製造方法について説明するためのもので、EEPROMの第 10 の製造工程の断面図。

【図 20】従来の半導体装置の第 1 の製造方法について説明するためのもので、EEPROMの第 11 の製造工程の断面図。

【図 21】従来の半導体装置の第 2 の製造方法について説明するためのもので、EEPROMの第 1 の製造工程の断面図。

【図 22】従来の半導体装置の第 2 の製造方法について説明するためのもので、EEPROMの第 2 の製造工程の断面図。

【図 23】従来の半導体装置の第 2 の製造方法について説明するためのもので、EEPROMの第 3 の製造工程の断面図。

【図 24】従来の半導体装置の第 2 の製造方法について説明するためのもので、EEPROMの第 4 の製造工程の断面図。

【図 25】従来の半導体装置の第 2 の製造方法について説明するためのもので、EEPROMの第 5 の製造工程の断面図。

【図 26】従来の半導体装置の第 2 の製造方法について説明するためのもので、EEPROMの第 6 の製造工程の断面図。

【図 27】従来の半導体装置の第 2 の製造方法について説明するためのもので、EEPROMの第 7 の製造工程の断面図。

【図 28】従来の半導体装置の第 2 の製造方法について説明するためのもので、EEPROMの第 8 の製造工程の断面図。

【図 29】従来の半導体装置の第 2 の製造方法について説明するためのもので、EEPROMの第 9 の製造工程の断面図。

【符号の説明】

10、30…シリコン基板

11、31…素子分離領域

12、32…メモリセル領域

13、33…周辺回路領域

14、34…ゲート絶縁膜

15、35…FG層

16、36…FG・CG間絶縁膜

17、37…CG層

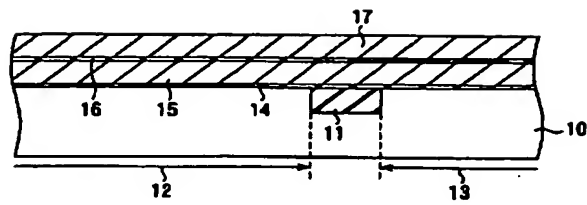
18-1、18-2、38-1～4…レジスト

19、39…絶縁膜

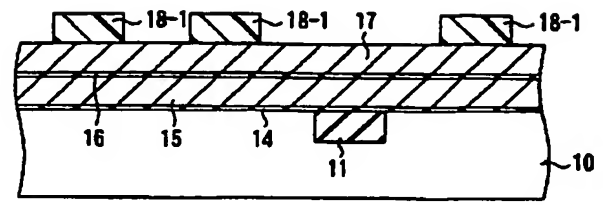
11
20、40…不純物拡散層
21、41…層間絶縁膜

12
* 22、42…コンタクトホール
* 23、43…コンタクトプラグ

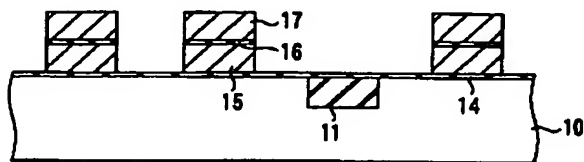
【図1】



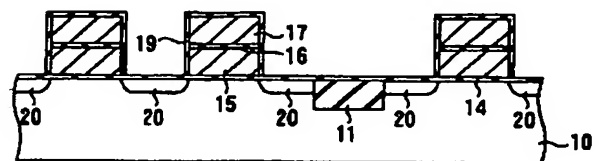
【図2】



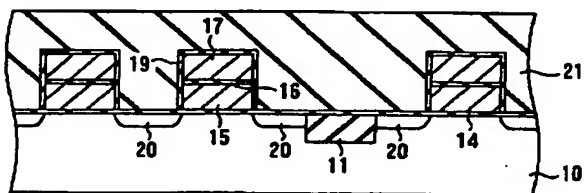
【図3】



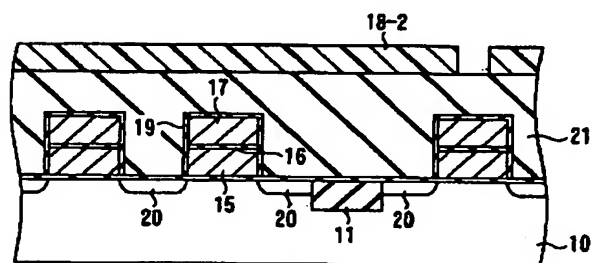
【図4】



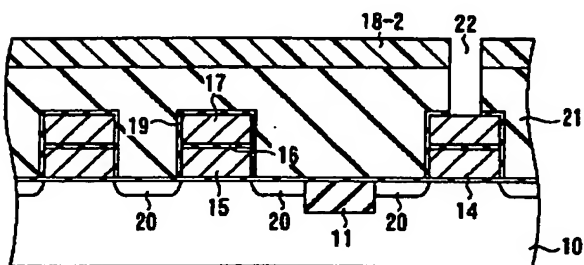
【図5】



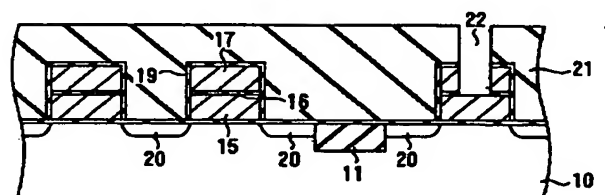
【図6】



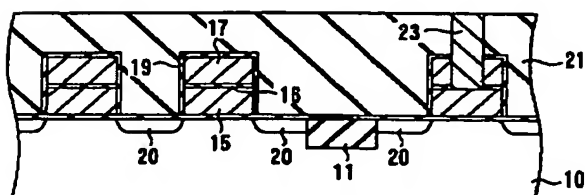
【図7】



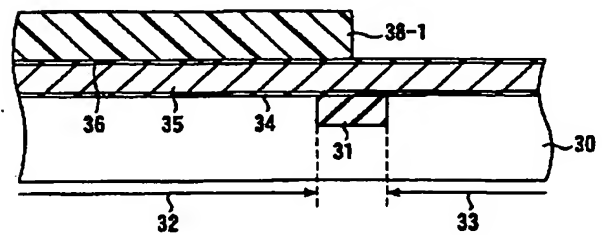
【図8】



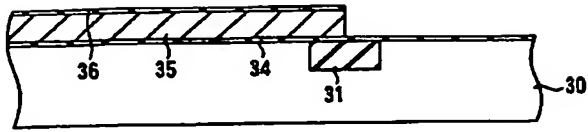
【図9】



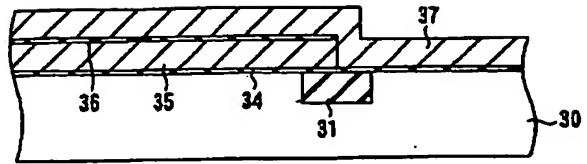
【図10】



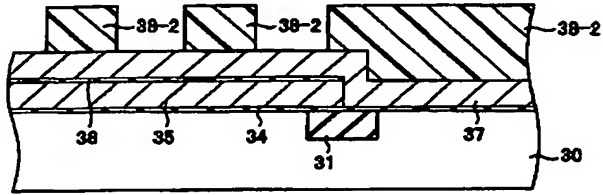
【図11】



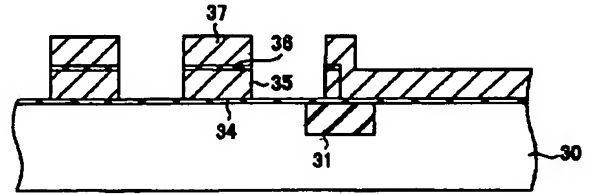
【図12】



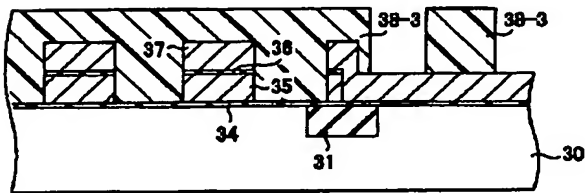
【図13】



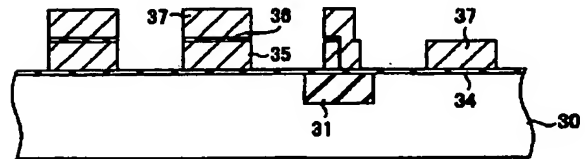
【図14】



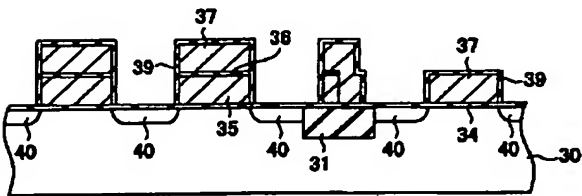
【図15】



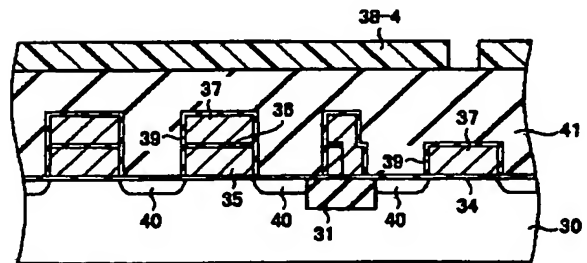
【図16】



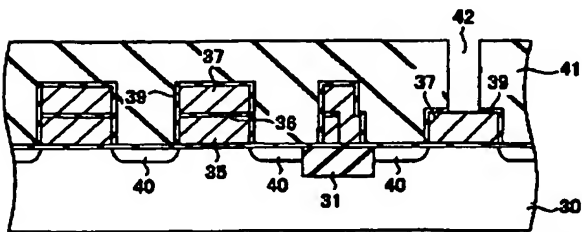
【図17】



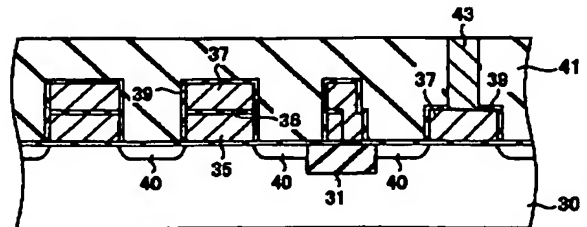
【図18】



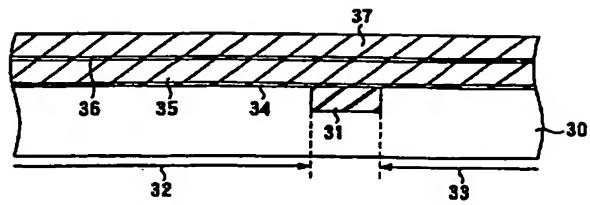
【図19】



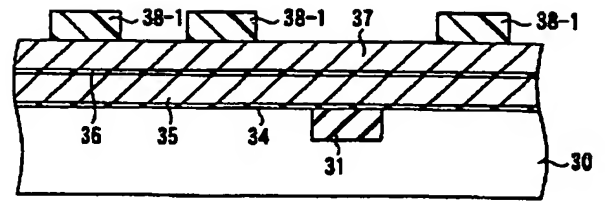
【図20】



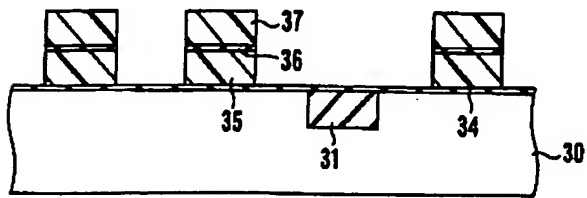
【図21】



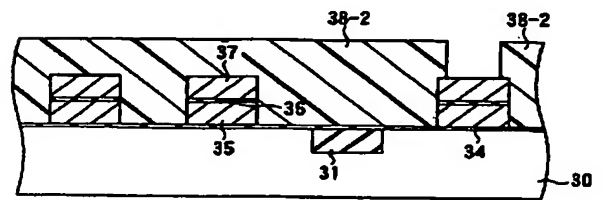
【図22】



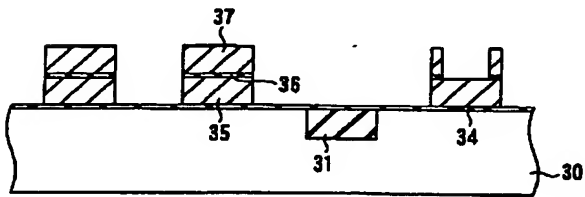
【図23】



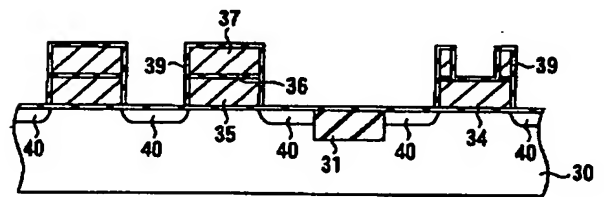
【図24】



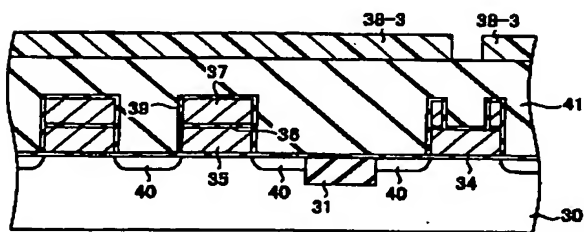
【図25】



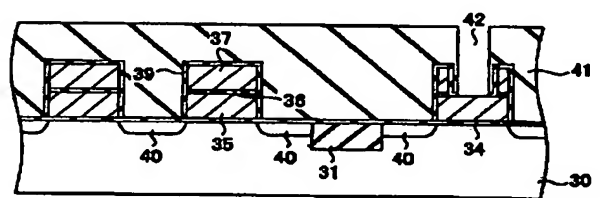
【図26】



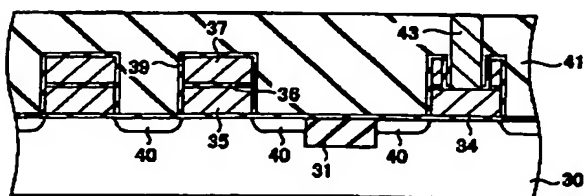
【図27】



【図28】



【図29】



フロントページの続き

Fターム(参考) 5F001 AA01 AA06 AA43 AA62 AA63
AB08 AD12 AD53 AD60 AD93
AD94 AG10 AG40
5F083 EP23 EP76 ER22 GA28 JA04
JA05 JA33 JA35 JA39 JA53
JA56 MA01 MA06 MA15 MA16
PR03 PR07 PR40 PR43 PR44
PR45 PR53 PR54 PR55 ZA05
ZA07
5F101 BA01 BA28 BA35 BA36 BB05
BD02 BD34 BD35 BD44 BD45
BH14 BH21